**סטטוס פרויקט – 30.03.2013**

**פירוט ההתקדמות בפסח:**

1. יצירת קובץ top, שמכיל בתוכו את mds\_top ואת global\_nets\_top - הבלוק שמסדר שעונים וריסטים .  
   ה-top משתמש בכל תצוגת ה-7 segments של כרטיס ה-DE2 (לפי הסדר של התצוגה על הכרטיס):  
   SG version register , TX type register , Display type register , Memory type register  
   היציאה programming\_indication\_led זה ה-LED המהבהב (אחרי נעילת PLL) – סימן חיים מבחינתנו.  
   קישור:

1. הרצת סינתזה באמצעות ה-Synplify, תוצר הסינתזה הוא הקובץ SG\_synthesis\_proj.vqm .  
   הגדרה של התדר הנדרש להיות 160MHz, בכ-20% יותר גבוה מהתדר המקסימלי שהוא 133MHz.  
   מעבר על כל ההערות של הסינתזה, ותיקון במקומות המעטים שנדרשו: היו כמה סיגנלים ששכחנו לשים להם ערך איפוס כאשר יש reset. כל שאר ההערות נגעו לאופטימיזציות של הכלי והיו לא רלוונטיות.  
   קישור:
2. הרצת Place&Route באמצעות ה-Quartus של תוצר הסינתזה.  
   שימוש בקובץ de2\_pins.tcl להקצאת הפינים של ה-FPGA.  
   קובץ צריבה של FPGA: SG\_PnR\_proj.sof

תוצאה: ה-LED שאמור להבהב אכן מהבהב בקצב הרצוי 1Hz! – כלומר, צריבה הצליחה ו-PLL ננעל.  
קישור:

1. התאמת ה-GUI להתממשקות לערוץ הסריאלי של ה-UART:  
   הוספת היכולת של כתיבה וקריאה מרגיסטרים מתוך ה-GUI.  
     
   בהתחלה לא הייתה הצלחה בכתיבה לרגיסטרים, וכדי להבין את הבעיה השתמשתי ב-Signal Tap כדי לדגום את המתרחש ב-UART RX. מה שראיתי, שנכתבו ערכים לא נכונים על ערוץ ה-UART. הסיבה הייתה שימוש לא נכון בפקודות מטלב לגישה לערוץ הסריאלי. אחרי שתקינתי את הפקודות ב-GUI, ראיתי ב-Signal Tap שנכתבים ערכים נכונים על ערוץ ה-UART.  
   תוצאה:  
   כתיבה לרגיסטר ה-version משקפת את הערך הרצוי בתצוגת 7 segments על הכרטיס.

קריאה מרגיסטר ה-version משקפת את הערך שנכתב לרגיסטר על ידי הדפסת הערך לקונסולה של המטלב.

הערה: המטרה של רגיסטר version היא לשקף את הגרסה של בלוק SG. אבל כרגע, למטרות debug, השימוש שלו הוא בדיקה של כתיבה וקריאה. הערך 0xDA שכתוב בתוכו הוא ערך סתמי רק לצורך בדיקה של הרגיסטר. אחרי סיום האינטגרציה עם הכרטיס, הרגיסטר ישקף את מספר הגרסה של בלוק ה-SG והוא יהיה read only.

1. המשך פיתוח ה-GUI:  
   בעת לחיצה על כפתור new test: שליחת חבילת opcodes שמאפסת את ה-RAM אשר בתוך Symbol Generator. וגם אתחול זיכרון ה-SDRAM עם 24 סמלים מהמאגר.  
   בעת לחיצה על Create Frame: שליחת ה-opcodes שמכילים שינויים בתצוגה מאשר הפריים הקודם.  
   קישור ל-GUI:  
     
     
   תוצאה:

רגיסטרי ה-type בתצוגת 7 segments מראים ערכים נכונים: בעת כתיבה ל-SG יש ערך 80 (כי זה כתיבה לרגיסטר), בגישות ל-DSRAM יש ערך 00 (כי זה גישה לזכרון), ובשליחת חבילת summary דרך UART יש ערך 02. אבל, על המסך עדיין לא רואים את הסמלים. התצוגה כרגע היא מסך לבן בגודל 640\*480 מוקף במסגרת שחורה בגודל 800\*600 כנדרש.

משהו חשוב:

בקובץ SG\_WBM\_IF.vhd יש שליטה על כמה פריימים מוותרים ולא קוראים מידע מה-SDRAM, כדי לתת זמן לזיכרון להיטען בסמלים ולא "להשתלט" על התעבורה בערוץ ה-WB.

בהתחלה שמנו ערך של 4 פריימים כי זה הספיק לצרכי הסימולציה. אבל בפועל טעינת ה-SDRAM מתחילה אחרי לחיצה על כפתור ב-GUI, מה שלוקח הרבה יותר מ-4 פריימים של וידאו.

לכן, שיניתי את המספר הזה להיות גדול מספיק, מה שנותן בערך 20 שניות של מסך שחור, ועד שבלוק ה-SG מתחיל גישות קריאה ל-SDRAM. ועכשיו, אחרי ה-20 שניות האלה מופיע המסך הלבן או האפור המרצד אם STP מופעל.

1. ביצוע Signal Tap – בדיקת העבודה מול ה-RAM בתוך ה-SG:  
   אתחול ה-RAM בעת יצירת new test ב-GUI מתבצע תקין.  
   בעת שליחת שינוי תצוגה מה-GUI, יש כתיבה ל-RAM, כלומר מצב תקין.
2. ביצוע Signal Tap – בדיקת העבודה מול ה-SDRAM:

אתחול הזיכרון בסמלים בעת יצירת new test ב-GUI מתבצע תקין.

קריאה מ-SDRAM ??? – להמשיך מכאן פעם הבאה.